

KOREAN PATENT PUBLICATION NO. 1992-0020641

METHOD OF FORMING INSULATING LAYER OF SEMICONDUCTOR DEVICE

5 A method of forming an insulating layer of a semiconductor device includes performing a thermal oxidation process to form a first SiO₂ layer, performing a chemical vapor deposition (CVD) process to coat a second SiO₂ layer on the first SiO₂ layer, performing an annealing process under an oxygen-containing ambient, and performing an annealing process under an 10 inert gas ambient after injecting fluoric ions into the first and second SiO₂ layers.

공개특허국 1992-0020641

(19) 대한민국 특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 8
H01L 21/316(11) 공개번호 1992-0020641
(43) 공개일자 1992년 11월 21일

(21) 출원번호 1992-0006770
(22) 출원일자 1992년 04월 22일

(30) 우선권주장 81-094352 1991년 04월 24일 일본(JP)
(71) 출원인 사포 가부시끼가이샤 쓰지 마쿠오
일본국 오사카시 아베노구 나가이케조 22-22
(72) 발명자 미야타기 히시카즈
일본국 나라현 나라시 슈온조 20빌딩 슈온 201
무에다 디카시
일본국 나라현 나라시 모모조 2조메 17-12-202
(74) 대리인 김영길
설사연구 : 設計

(54) 반도체장치의 절연막 제조방법

요약
내용 없음

목次
도면
설명서

[발명의 명칭]
반도체장치의 절연막 제조방법
[도면의 간단한 설명]
제1도면은 본 발명의 효과를 예시하는 도식적 단면도.

본 내용은 모두공개 건이므로 전문 내용을 수록하지 않았음.

(57) 첨구와 권리
첨구 1

일 소화에 의해 Si기판상에 제1 SiO₂막을 형성하는 공정과, CVD기술로 살기 제1 SiO₂막 상에 제2 SiO₂막을 도포하는 공정과, 산소가스를 함유하는 분위기에서의 업처리와 살기 제1 및 제2 SiO₂막에 물소이온의 주입후 비활성 가스 분위기에서의 업처리를 포함하는 그들 중에서 선택된 업처리로 살기 제1 및 제2 SiO₂막이 세공된 살기 Si기판을 제공하는 공정을 포함하는 반도체장치의 절연막 제조방법.

첨구 2
제1도면에 있어서, 산소가스를 함유하는 분위기에서의 살기 업처리는 살기 산소가스인 진조한 산소가스를 사용하고 약 30~60분 동안 900~1000°C에서 수행되는 반도체 장치의 절연막 제조방법.

첨구 3
제1도면 또는 제2도면에 있어서, 살기 산소가스를 함유하는 분위기에서의 살기 업처리는 비활성 가스 분위기의 고온에서 같은 업처리가 이어지는 반도체 장치의 절연막 제조방법.

IPRIS(공개특허정보)

첨부화4

제1항에 있어서, 삼기 제2 SiO₂의 50㎚ 두께에 대해, 상기의 질소이온이 SKeV이하의 저가속 에너지와 약 10¹⁶/㎠의 도우즈에서 주입되는 반도체장치의 절연막 제조방법.

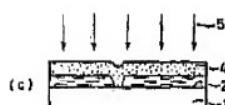
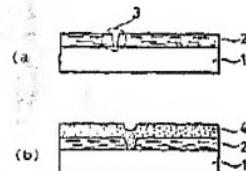
첨부화5

제1항에 있어서, 비활성 가스분위기에서의 열처리는 비활성가스 분위기인 질소 또는 오크스를 사용하고 아울러 약 30~60분 동안 900~1000℃에서 수행되는 반도체 장치의 절연막 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면



도면

도면